

# METHOD FOR FUSING OFF FUSE

Publication number: JP59130441

Publication date: 1984-07-27

Inventor: MUKAI RIYOUICHI

Applicant: FUJITSU LTD

Classification:

- International: H01L21/3205; G11C17/06; H01L21/326; H01L21/82; H01L23/52; H01L23/525; H01L27/10; G11C17/06; H01L21/02; H01L21/70; H01L23/52; H01L27/10; (IPC-7): H01L21/88; H01L27/10

- European: H01L21/326; H01L21/82; H01L23/525F

Application number: JP19820226520 19821225

Priority number(s): JP19820226520 19821225

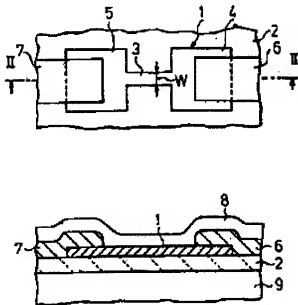
Also published as:

EP0112693 (A1)  
US4747076 (A1)  
EP0112693 (B1)

[Report a data error here](#)

## Abstract of JP59130441

**PURPOSE:** To fuse off the fuse electrically without breaking a protective film over the fuse and to enable writing of fuse-type ROM by using a ramp-wave voltage as an applied voltage to fuse off the fuse connected to wiring and covered with the protective film. **CONSTITUTION:** An SiO<sub>2</sub> insulating film 2 is formed on a silicon substrate 9 by thermal oxidation or CVD method, on which a polycrystalline silicon layer 1 is formed by CVD method, and a fuse 1 is formed by photoetching. Next, an aluminum vapor-deposited film is coated over the whole surface and a predetermined wiring pattern is formed by photoetching. Wirings 6 and 7 are connected to wide pads 4 and 5 of the fuse 1. Lastly, a PSG protective film 8 is formed over the fuse 1, the wirings 6 and 7 and the whole surface of the insulating film 2. To the polycrystalline silicon fuse 1 thus formed, ramp-wave voltage of  $10<4>V/sec$  of increasing speed is applied to fuse off it by the center of the fuse 1. When this ramp-wave voltage becomes about 27V before it reaches the peak voltage, the fuse is fused off and there is no hole produced at the part corresponding to the fusing-off of the PSG protective film 8.



Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—130441

⑯ Int. Cl.<sup>3</sup>  
H 01 L 21/82  
21/88  
27/10

識別記号

庁内整理番号  
6655—5F  
6810—5F  
6655—5F

⑰ 公開 昭和59年(1984)7月27日

発明の数 1  
審査請求 有

(全 6 頁)

⑱ ヒューズの熔断方法

川崎市中原区上小田中1015番地  
富士通株式会社内

⑲ 特 願 昭57—226520

⑲ 出 願 人 富士通株式会社

⑲ 出 願 昭57(1982)12月25日

川崎市中原区上小田中1015番地

⑲ 発 明 者 向井良一

⑲ 代 理 人 弁理士 青木朗 外 3 名

明 細 書

1. 発明の名称

ヒューズの熔断方法

2. 特許請求の範囲

1. 基体上の絶縁膜の上に形成され、配線と接続されかつ保護膜で覆われているヒューズを電気的に熔断する際に、熔断のための印加電圧をラング放電圧として前記保護膜を流れることなく前記ヒューズを熔断することを特徴とするヒューズの熔断方法。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は、メモリ半導体装置内に形成されているヒューズ、より詳しく述べるならば、このようなヒューズの電氣的熔断方法の改善に関するものである。

(2) 技術の背景

ヒューズを備えた半導体メモリにはヒューズ熔断型 ROM あるいは冗長回路のある RAM があり、ヒューズ熔断型 ROM ではヒューズを熔断す

ることで情報を書き込み、また、冗長回路のある RAM では不良ビットを含む行や列を予備の行や列に置き換えるためにヒューズを熔断する。このようなヒューズに通電流を流すことによって熔断している。

(3) 従来技術と問題点

半導体装置内のヒューズ部は、一般的に、第1図および第2図に示すような構造であり、ヒューズ1はヒューズ材であるポリシリコンなどで絶縁膜(例えば、SiO<sub>2</sub>膜)2上に形成され、切断される細長い中央部3と両側のパッド4、5とからなる。パッド4、5のそれぞれには配線(例えば、アルミニウム配線層)6、7が接続されている。第2図に示すようにヒューズ1および配線6、7はベッシンペーション膜である保護膜(例えば、PSG膜)8で覆われている。なお、第1図はこの保護膜8のない状態でのヒューズ部を示す。そして、絶縁膜2は半導体基板(例えば、シリコンウェハ)9上に形成されている。

このようなヒューズ1を熔断するために通電流

を流すときの印加電圧は、従来、第3図に示すようなパルス電圧である。この場合に、溶断時にヒューズが爆発的に破壊されて保護膜8が破れて穴が生じる問題がある。この穴は汚染物が入り込まないようP S G膜を再び形成して蓋がなければならぬ。

#### (4) 発明の目的

本発明の目的は、ヒューズ上に形成した保護膜を剥がることなくヒューズを電気的に溶断する方法を提案することである。

#### (5) 発明の構成

上述の目的が、半導体基板上の絶縁膜の上で形成され、配線と接続されかつ保護膜で覆われているヒューズを電気的に溶断する方法にかいて、溶断のための印加電圧をランプ波電圧とすることを特徴とする半導体装置内ヒューズの溶断方法によって達成する。

ヒューズ材料には多結晶シリコンが好ましい。電流を流す配線の材料にはアルミニウムが好ましいが、ドープした多結晶シリコンやA<sub>1</sub>型度の熱

配線6および7はヒューズ1の幅広いパッド4および5に接続されている。最終に、P S G保護膜8(厚さ1.0  $\mu\text{m}$ )をCVD法によってヒューズ1、配線6、7および絶縁膜2の上の全面に形成する。

このように形成した多結晶シリコンヒューズ1に、本発明にしたがって、 $10^4\text{V/秒}$ の増加速度であるランプ波電圧(ピーク電圧34V)を印加してヒューズ1の中央部を溶断する。このランプ波電圧は第4図に示すような変化をし、ピーク電圧に達する前27V程度になったときにはヒューズは溶断されている。本発明にしたがって溶断すると、P S G保護膜8の溶断対向部分に孔は生じないことがわかる。ヒューズの溶断を観察すると、多結晶シリコンの溶断初期にアルミニウムがプラス極側からマイナス極側に瞬間的に高く流れ去ら切れることがわかる。P S G保護膜8を剥がらずにむすのは、アルミニウムの保護膜が加熱速度を溶断直前で低下させるからだと考えられる。この様な現象はパルス電圧を用いた溶断では観察

点を有する金属材料であってもよい。

本発明によるランプ波電圧は、設定ピーク電圧まで一定速度( $10^4\sim 10^5\text{V/秒}$ )で増加する電圧であることが望ましい。

#### (6) 発明の実施例

以下、添付図面に開示した実施形態例によって本発明をより詳細に説明する。

従来のヒューズ形成工程にしたがって第1図および第2図に示すヒューズを次のようにして形成する。

シリコン基板(ウェハ)9の上に熱酸化法又はCVD法によってSiO<sub>2</sub>絶縁膜(厚さ1.0  $\mu\text{m}$ )2を形成し、その上に多結晶シリコン層(厚さ0.4  $\mu\text{m}$ )1をCVD法によって形成し、そして通常のホトエッチング法によって第1図に示す形状のヒューズ1を形成する。ヒューズ1の細長い中央部3の幅Wを6  $\mu\text{m}$ とする。次に、アルミニウム配線6および7を形成するため、アルミニウム蒸着膜(厚さ1.0  $\mu\text{m}$ )を全面に付着させ、ホトエッチング法によって所定配線パターンに形成する。

できない。

上述の実施形態例は一例であって、ヒューズの厚さ、形状は適宜に設定でき、それに沿って溶断の速度および電圧増加速度も適切に決めることができる。本実施例によると電圧増加速度が5V/秒以下であると、溶断現象は磁きず、アルミニウムが流れるだけの現象が見られ、ショート状態となる。また、 $10^4\sim 10^5\text{V/秒}$ 程度であると保護膜が流れる可能性がある。ただし、これらの結果は、多結晶シリコンヒューズ部分の抵抗値に強く依存している。配線6、7の材料にはドープした多結晶シリコンを使用することができるが、アルミニウムを用いた例と異なり、加熱速度を溶断直前で抑制する作用は、保護用多結晶シリコン中でドープされた不純物がヒューズ部分へ再分布することによって達成される。

#### (7) 発明の効果

本発明に係るヒューズ溶断方法では、ヒューズ上の保護膜を剥がらずに溶断できるので、再度保護膜を形成する必要がない。

## 4. 図面の簡単な説明

第1図はヒューズ部のあるメモリ-半導体装置の部分平面であり、第2図は第1図の線I-Iに沿った断面図であり、第3図は従来の溶断電圧の波形図であり、第4図は本発明に係るランプ電圧の波形図である。

1……ヒューズ、2……絶縁膜、3……絶縁の中央部、6、7……配線、8……保護膜。

特許出願人

富士通株式会社

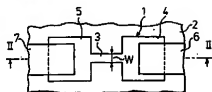
特許出願代理人

弁理士 青 木 朗

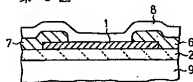
弁理士 西 館 和 之

弁理士 内 田 幸 男

第1図



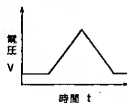
第2図



第3図



第4図



## 手続補正書

昭和59年2月21日

特許庁長官 若 杉 和 夫 殿

## 1. 事件の表示

昭和57年 特許願 第226520号

## 2. 発明の名称

ヒューズ型ROMの書き込み方法(新名称)

## 3. 補正をする者

事件との関係 特許出願人

名称 (522) 富士通株式会社

## 4. 代理人

住 所 東京都港区虎ノ門一丁目8番10号 勝光虎ノ門ビル  
平105 電話(504)0721

氏 名 弁護士 (6579) 青 木



(外 3 名)

## 金 文 惟 正 明 細 書

## 1. 発明の名称

ヒューズ型ROMの書き込み方法

## 2. 特許請求の範囲

1. 基体上の絶縁膜の上に形成され、配線と接続されかつ絶縁膜で覆われているヒューズを備えたヒューズ型ROMを電気的IC書き込み時に、書き込みのための印加電圧をランプ放電圧として前記保護層を破壊することなく前記ヒューズを熔断することと特徴とするヒューズ型ROMの書き込み方法。

## 3. 発明の詳細な説明

## (1) 発明の技術分野

本発明は、メモリー半導体装置内に形成されているヒューズ型ROM(Read Only Memory)より詳しく述べるならば、このようなヒューズ型ROMの書き込み方法の改善に関するものである。

## (2) 技術的背景

ヒューズを備えた半導体メモリーにはヒューズ型ROMあるいは冗長回路のあるRAM(Random Access Memory)があり、ヒューズ型ROMで

## 5. 補正の対象

(1) 明細書の「発明の名称」の欄

(2) 明細書全文

## 6. 補正の内容

(1) 明細書の発明の名称を『ヒューズ型ROMの書き込み方法』と補正する。

(2) 別紙のとおり

## 7. 添付書類の目録

全文修正明細書

1 通

はヒューズを熔断することで情報を書き込み、また、冗長回路のあるRAMでは不良ビットを含む行や列を予備の行や列に置き換えるためにヒューズを熔断する(この過程がROM機能である)。このようなヒューズに過電流を流すことによって消滅している。

## (3) 従来技術と問題点

半導体装置内のヒューズ部は、一般的に、第1図および第2図に示すような構造であり、ヒューズ1はヒューズ材であるポリシリコンなどで絶縁膜(例えば、SiO<sub>2</sub>膜)2上に形成され、切断される細長い中央部3と両側のパッド4、5とからなる。パッド4、5のそれぞれには配線(例えば、アルミニウム配線層)6、7が接続されている。第2図に示すようにヒューズ1および配線6、7はパッシベーション膜である保護層8(例えば、P80膜)8で覆われている。なお、第1図はCの断面図8のない状態でヒューズ部を示す。そして、絶縁膜2は半導体基板(例えば、シリコンウェハ)9上に形成されている。

このようなヒューズ1を熔断するためには過電流を流すときの印加電圧は、従来、第3図に示すようなパルス電圧である。この場合に、熔断時にヒューズが爆発的に破壊されて保護膜8が破れて穴が生じる間欠がある。この穴は汚染物が入り込まないようにPSS膜を再び形成して塞がなければならない。

#### (4) 発明の目的

本発明の目的は、ヒューズ上に形成した保護膜を流るごとくヒューズを電氣的に熔断してヒューズ型ROMの書き込みを行なう方法を提案することである。

#### (5) 発明の構成

上述の目的が、半導体基板上の絶縁膜の上に形成され、配線と接続されかつ保護膜で覆われているヒューズを電氣的に熔断してヒューズ型ROMを有込む方法において、熔断のための印加電圧をランプ波電圧とすることを特徴とするヒューズ型ROMの書き込み方法によって達成する。

ヒューズ材料には多結晶シリコンが特に好まし

く、NiCr、TiWあるいはPtSiでもよい。電流を流す配線の材料にはアルミニウムが特に好ましいが、A $\bar{E}$ 程度の融点を有する金属材料であってもよい。なお、アルミニウムとは純アルミニウムおよび銅又はシリコン含有アルミニウム合金である。

本発明によるランプ波電圧は、設定ピーク電圧まで一定速度( $10^3 \sim 10^5$  V/秒)で増加する電圧であることが望ましい。設定ピーク電圧に達する前にヒューズは熔断される。

#### (6) 発明の実施例

以下、添付図面に開示した実施態様例によって本発明をより詳細に説明する。

従来のヒューズ形成工程にしたがって第1図および第2図に示すヒューズを次のようにして形成する。

シリコン基板(ウェハ)9の上に熱酸化法又はOVD法によってSiO $_2$ 絶縁膜(例えば、厚さ1.0  $\mu$ m)2を形成し、その上に多結晶シリコン層(例えば、厚さ0.4  $\mu$ m)1をOVD法によって

形成し、そして通常のホットエッチング法によって第1図に示す形状のヒューズ1を形成する。ヒューズ1の納長い中央部3の幅Wを5  $\mu$ mとする。次に、アルミニウム配線6および7を形成するために、アルミニウム蒸着膜(厚さ1.0  $\mu$ m)を全面に付着させ、ホットエッチング法によって所定配線パターンに形成する。配線6および7はヒューズ1の幅広いパッド4および5に接続されている。最後に、PSS保護膜8(厚さ1.0  $\mu$ m)をOVD法によってヒューズ1、配線6、7および絶縁膜2の上に全面に形成する。

このように形成した多結晶シリコンヒューズ1に、本発明にしたがって、 $10^4$  V/秒の増加速度であるランプ波電圧(ピーク電圧3.4 V)を印加してヒューズ1の中央部を熔断する。このランプ波電圧は第4図に示すような波形をし、ピーク電圧に達する前に2.7 V保護膜にわたるときにはヒューズは熔断されている。本発明にしたがって熔断すると、PSS保護膜8の熔断対応部分に孔は生じないことがわかる。ヒューズの熔断を顕微鏡する

と、多結晶シリコンの溶解初期にアルミニウムがプラス極側からマイナス極側に偏局的に溶け流れてから切れることがわかる。PSS保護膜8を流るがらずにむの、アルミニウムの保護膜が加熱速度を熔断直前で低下させるからだと考えられる。このような現象はパルス電圧を用いた熔断では観察できない。

上述の実施態様例は一例であって、ヒューズの厚さ、形状は適切に設定でき、それに応じて熔断の電圧および電圧増加速度も適切に決めることができる。本実施例によると電圧増加速度が5 V/秒以下であると、熔断現象は起きず、アルミニウムが流れるだけの現象が見られ、ショート状態となる。また、 $10 \sim 10^3$  V/秒程度であると保護膜が破れるときがある。そして、 $10^3$  V/秒より大きいパルス電圧と同様に保護膜が破れる。ただし、これらの結果は、多結晶シリコンヒューズ部分の抵抗値に強く依存している。配線6、7の材料にはドーパした多結晶シリコンを使用することができ、ヒューズのパッドに接触する部分は

アルミニウムで構成する。

#### (7) 発明の効果

本発明に係るヒューズ型 ROMの書き込み方法では、ヒューズ上の保護膜を破本らずにヒューズが熔断できるので、再度保護膜を形成する必要がない。

#### 4. 図面の簡単な説明

第1図はヒューズ部のあるメモリ半導体装置の部分平面であり、第2図は第1図の線Ⅱ-Ⅱに沿った断面図であり、第3図は従来の熔断電圧の波形状であり、第4図は本発明に係るランブ波断面電圧の波形状である。

1…ヒューズ、2…起終線、3…絶長の中央部、  
6、7…配線、8…保護膜。